

Predistortion digital linearizing circuit and gain control method**Publication number:** CN1341992 (A)**Publication date:** 2002-03-27**Inventor(s):** CHAI-HYOK LEE [KR]**Applicant(s):** LG ELECTRONICS INC [KR]**Classification:****- international:** *H03F1/32; H03F1/32*; (IPC1-7): H03F1/34; H03F3/21**- European:** H03F1/32P12; H03F1/32P14**Application number:** CN20011023850 20010803**Priority number(s):** KR20000045258 20000804; KR20010025475 20010510**Also published as:**

CN1285169 (C)



US2002050372 (A1)

Abstract not available for CN 1341992 (A)

Abstract of corresponding document: **US 2002050372 (A1)**

A predistortion digital linearizer is disclosed. The linearizer includes a predistorter for distorting a digital input signal in the digital domain to have an opposite characteristic to a nonlinear distortion characteristic of a high power amplifier, in accordance with a feedback signal. An adaptation processing unit controls predistortion of the digital input signal using a base band signal outputted from a feedback unit and the digital input signal which has been delayed for a prescribed period of time. Since the input signal of the digital linearizer is directly predistorted in the digital domain, the accuracy of the predistortion can be enhanced. In addition, since the level of the digital input signal is controlled by the gain control signal and then predistorted, so that the output level of the predistortion digital linearizer can be controlled to a desired level.

Data supplied from the **esp@cenet** database — Worldwide

1. 一种预失真数字线性化电路, 包括:

预失真器, 用于失真数字输入信号以使其具有与高功率放大器
5 (HPA) 的非线性失真特性相反的特性;

上变频器, 用于将预失真器的输出信号上变频为射频信号;

HPA, 用于放大上变频器输出的射频信号的功率;

反馈单元, 用于反馈 HPA 输出的信号, 并将反馈回的信号下变
频为基带信号;

10 自适应处理单元, 用于利用反馈单元输出的基带信号和已经被延
迟了预定时间的数字输入信号来控制数字输入信号的预失真。

2. 根据权利要求 1 的数字线性化电路, 其中预失真器包括:

功率测算单元, 用于测算数字输入信号的幅值;

15 功函数生成器, 用于生成预失真功函数用来依照数字输入信号的
幅值确定数字输入信号的失真大小;

复合耦合器, 用于复合耦合功函数生成器所生成的预失真功函数
和数字输入信号, 并预失真数字输入信号。

20 3. 根据权利要求 2 的数字线性化电路, 其中功率测算单元包括:

第一平方单元, 用于将第一相位数字输入信号 (信号 I) 进行平
方, 并输出平方值;

第二平方单元, 用于将第二相位数字输入信号 (信号 Q) 进行平
方, 并输出平方值;

25 加法器, 用于将第一平方单元和第二平方单元的每个输出值相
加, 得出数字输入信号的幅值。

4. 根据权利要求 2 的数字线性化电路, 其中功函数生成器包括:

30 第一平方单元, 用于将功率测算单元测算的功率进行平方并输出
平方值;

第一系数乘法器，用于将第一平方单元的输出与自适应处理单元输出的第一系数值相乘；

第二系数乘法器，用于将功率测算单元测算的功率与自适应处理单元输出的第二系数值相乘；

5 第一加法器，用于相加第一、第二系数乘法器的输出和自适应处理单元输出的第三系数值，并输出第一相位数字输入信号的预失真功函数；

第二平方单元，用于将功率测算单元测算的功率进行平方，并输出平方值；

10 第三系数乘法器，用于将第二平方单元的输出与自适应处理单元输出的第四系数值相乘；

第四系数乘法器，用于将功率测算单元测算的功率与自适应处理单元输出的第五系数值相乘；

15 第二加法器，用于相加第三、第四乘法器的输出值和自适应处理单元输出的第六系数值，并输出第二相位数字输入信号的功函数。

5. 根据权利要求 2 的数字线性化电路，其中复合耦合器包括：

第一乘法器，用于将第一相位数字输入信号（信号 I）与功函数生成器的第一加法器的输出相乘；

20 第二乘法器，用于将第一加法器的输出与第二相位数字输入信号（信号 Q）相乘；

第三乘法器，用于将第二相位数字输入信号（信号 Q）与功函数生成器的第二加法器的输出相乘；

25 第四乘法器，用于将第一相位数字输入信号（信号 Q）与第二加法器的输出相乘；

减法器，用于对第一乘法器的输出与第三乘法器的输出相减，并失真第一相位数字输入信号；

加法器，用于相加第二乘法器和第四乘法器的输出，并失真第二相位数字输入信号。

6. 根据权利要求 1 的数字线性化电路，进一步包括：

本振器，用于为上变频器和反馈单元提供用于调制和解调的本振频率；

定向耦合器，用于以某一比率分离 HPA 的输出；

5 终接器，用于终结传输线，以使已经通过定向耦合器的 HPA 的输出信号不被反射。

7. 根据权利要求 1 的数字线性化电路，其中上变频器包括：

10 数字-模拟转换器（DAC），用于将预失真器输出的数字信号转换为模拟信号；

调制器，用于调制数字-模拟转换器所输出的基带模拟信号。

8. 根据权利要求 1 的数字线性化电路，其中反馈单元包括：

解调器，用于解调从 HPA 的输出信号分离的射频信号；

15 模拟-数字转换器（ADC），用于将解调器输出的模拟基带信号转换为数字信号。

9. 根据权利要求 1 的数字线性化电路，其中自适应处理单元包括：

20 延迟单元，用于把数字输入信号延迟预定时间；

数字信号处理器（DSP），用于利用延迟单元延迟的信号和反馈单元输出的信号控制预失真器。

25 10. 根据权利要求 1 的数字线性化电路，进一步包括增益控制电路，用于根据增益控制信号控制数字输入信号的电平并将其输出给预失真器。

30 11. 根据权利要求 10 的数字线性化电路，其中根据延迟数字输入信号的电平，利用反馈回的数字输出信号和 HPA 的理想输出电平所估计的 HPA 输出电平来设置增益控制信号。

12. 根据权利要求 10 的数字线性化电路, 其中增益控制信号可以由自适应处理单元提供, 也可以由外部源提供。

5 13. 根据权利要求 10 的数字线性化电路, 其中增益控制电路包括:

 第一乘法器, 用于将第一相位数字输入信号 (信号 I) 与增益控制信号相乘以控制第一相位数字输入信号的电平;

10 第一取整单元, 用于从第一乘法器的数字输出信号中取预定数目的位, 并调整输入和输出数位;

 第二乘法器, 用于将第二相位数字输入信号 (信号 Q) 与增益控制信号相乘, 并调整第二相位数字输入信号的电平;

 第二取整单元, 用于从第二乘法器的数字输出信号中取预定数目的位, 并调整输入和输出数位。

15 14. 一种预失真数字线性化电路, 包括:

 数字预失真器, 用于根据控制信号失真第一和第二数字输入信号以使其具有与放大特性相反的特性;

20 数字-模拟转换器, 用于将数字预失真器的输出信号转换为模拟信号;

 调制器, 用于把数字-模拟转换器的输出信号调制为载波频率;

 高功率放大器, 用于放大调制器的输出信号的功率;

 解调器, 用于接收 HPA 的输出信号, 并将其解调为基带信号;

25 模拟-数字转换器, 用于将解调器输出的第一、第二模拟基带信号转换为数字形式;

 数字信号处理器, 用于比较模拟-数字转换器的输出信号和第一、第二数字输入信号, 并输出用于控制数字预失真器的失真程度的控制信号。

30 15. 一种预失真数字线性化电路, 包括:

增益控制电路，用于根据增益控制信号控制数字输入信号的电平；

预失真器，用于在数字信号处理器的控制下失真其增益已经由增益控制电路控制的数字输入信号，使其具有与 HPA 的非线性失真特性相反的特性；

数字-模拟转换器，用于将预失真器输出的数字信号转换为模拟信号；

调制器，用于调制数字-模拟转换器输出的基带模拟信号；

用于放大调制器输出信号的功率的 HPA；

解调器，用于解调 HPA 输出的放大的射频信号；

模拟-数字转换器，用于将从解调器输出的模拟基带信号转换为数字信号；

延迟单元，用于将数字输入信号延迟预定时间；

数字信号处理器，用于利用模拟-数字转换器转换的数字输出信号确定 HPA 的输出电平，并利用确定的输出电平、延迟单元延迟的信号和理想的输出电平自适应地控制数字输入信号的增益控制和预失真。

16. 根据权利要求 15 的数字线性化电路，其中增益控制电路包括：

第一乘法器，用于将第一相位数字输入信号（信号 I）与增益控制信号相乘以控制第一相位数字输入信号的电平；

第一取整单元，用于从第一乘法器的数字输出信号取预定数目的位，并调整输入和输出数位；

第二乘法器，用于将第二相位数字输入信号（信号 Q）与增益控制信号相乘以控制第二相位数字输入信号的电平；

第二取整单元，用于从第二乘法器的数字输出信号取预定数目的位，并调整输入和输出数位。

17. 根据权利要求 15 的数字线性化电路，其中预失真器包括：

第一平方单元，用于输出第一相位数字输入信号（信号 I）的平方值；

第二平方单元，用于输出第二相位数字输入信号（信号 Q）的平方值；

5 第一加法器，用于将第一和第二平方单元的每个输出相加，得到整个数字输入信号的功率值；

第三平方单元，用于输出第一加法器输出的功率值的平方值；

第一系数乘法器，用于将第三平方单元的输出与数字信号处理器输出的第一系数值相乘；

10 第二系数乘法器，用于将第一加法器测算的功率值与数字信号处理器输出的第二系数值相乘；

第二加法器，用于将第一和第二系数乘法器的输出以及数字信号处理器输出的第三系数值相加，并输出第一相位数字输入信号的预失真功函数；

15 第四平方单元，用于输出第一加法器输出的功率值的平方值；

第三系数乘法器，用于将第四平方单元的输出与数字信号处理器输出的第四系数值相乘；

第四系数乘法器，用于将第一加法器测算的功率值与数字信号处理器输出的第五系数值相乘；

20 第三加法器，用于将第三和第四系数乘法器的输出以及数字信号处理器输出的第六系数值相加，并输出第二相位数字输入信号的功函数。

第一乘法器，用于将第一相位数字输入信号（信号 I）与第二加法器的输出相乘；

25 第二乘法器，用于将第二加法器的输出与第二相位数字输入信号
 （信号 Q）相乘；

第三乘法器，用于将第二相位数字输入信号（信号 Q）与第三加法器的输出相乘；

30 第四乘法器，用于将第一相位数字输入信号（信号 I）与第三加法器的输出相乘；

减法器，用于将第一乘法器的输出与第三乘法器的输出相减，并失真第一相位数字输入信号；

第四加法器，用于将第二乘法器的输出与第四乘法器的输出相加，并失真第二相位数字输入信号。

5

18. 一种预失真数字线性化电路的增益控制方法，包括：

利用反馈回的数字输出信号确定高功率放大器的输出电平；

利用确定的输出电平、理想的输出电平和被延迟预定时间的数字输入信号的电平计算用于增益的增益控制信号；

10 用增益控制信号乘以当前数字输入信号，并控制数字输入信号的电平；

在乘法结果值中保留一符号位，将剩余的较低位作为预定数目的位以调整信号乘法前后的数位。

预失真数字线性化电路及其增益控制方法

5 发明领域

本发明涉及一种具有高功率放大器（HPA）的发射机，具体涉及一种预失真数字线性化电路及其增益控制方法。

背景技术

10 通常，高功率放大器放大射频（RF）信号，并将其从基站发送到空中，这是给整个系统的非线性带来很大影响的关键部分。

为了改进 HPA 的非线性，有前馈方法、包络反馈（envelop feedback）方法和预失真方法。

15 在这些方法中，预失真方法被作为一种线性化方法得到广泛采纳，这是由于同其性能以及可在更宽的带宽范围内操作的操作特性相比较，线性化电路的价格低。

20 在预失真方法中，输入信号被预先以同功率放大器的非线性失真特性相反的方向失真，接着被输入到高功率放大器中，结果其线性化得到改善。

图 1 是根据现有技术以模拟形式表现的预失真线性化电路的构造的示意图。

25 如图 1 所示，常规模拟类型的预失真包括：第一定向耦合器 1，用于从输入信号中检测抽样信号；移相器 2，用于对从第一定向耦合器 1 输出的输入信号进行移相；可变衰减器 3，用于改变从移相器 2 输出的输入信号的幅值；高功率放大器（HPA）4，用于放大从可变

衰减器 3 输出的输入信号的功率；第二定向耦合器 5，用于抽样一个信号以比较来自 HPA 4 的输出的输入信号；比较器 6 和 7，用于比较从第一定向耦合器 1 和第二定向耦合器 5 中分别输出的信号，并通过利用比较结果值来控制移相器 2 和可变衰减器 3。

5

现在将解释上述构造的模拟类型的预失真线性化电路的操作。

10

第一定向耦合器 1 从输入信号中抽样，第二定向耦合器 5 从 HPA 4 的输出信号中抽样。此时，应该调整抽样比率以使两个抽样信号的幅值相同。因为 HPA 4 的输出信号是放大功率信号，应对其进行抽样以符合输入信号的幅值。

15

第一定向耦合器 1 和第二定向耦合器 5 所分别抽取的抽样信号被输入到比较器 6 中。

比较器 6 和 7 比较两个输入信号，得到信号差，即，误差值，并用所得误差值控制移相器 2 和可变衰减器 3，从而对 HPA 4 的输入信号进行预失真处理。

20

但是，常规模拟类型的预失真线性化电路存在以下问题：

比如，首先，因为其易受温度变化的影响，而且很大程度地受到噪声影响，预失真的精确度有所降低。

25

另外，因为当每次每个信号被输入时都应该控制用于失真输入信号的电路，这对于 IMT-2000（国际移动通信-2000）中使用的具有更宽带宽的输入信号很难适用。

30

已经建议用基于增益的预失真器来解决上述缺点，但是该预失真器实际上在模拟电路中实施，因此同数字方法相比，用于调整实际取

得的预失真控制值的电路相对复杂一些，因而还应该另外安装一些附加电路，比如温度补偿电路。

上述参考内容被适当地结合于此，用于对其它或备择细节、特征和/或技术背景进行适当地说明。

发明内容

因此，本发明的一个目的是提供一种预失真数字线性化电路，其能使温度和噪声的影响最小化，并能通过将一个预失真电路和一个预失真控制电路作为数字电路实施来使用预失真改进线性化的精度。

本发明的另一目的是提供一种预失真数字线性化电路及其增益控制方法，其能够通过控制要由预失真线性化的数字输入信号的电平获得发射机所要求的线性化输出电平。

为至少全部或部分实现以上目的，提供一种预失真数字线性化电路，其包括：预失真器，用于失真数字输入信号以使其具有与高功率放大器（HPA）的非线性失真特性相反的特性；上变频器，用于将预失真器的输出信号上变频为射频信号；HPA，用于放大上变频器输出的射频信号的功率；反馈单元，用于反馈从 HPA 输出的信号，并将反馈信号下变频为基带信号；自适应处理单元(adaptation processing unit)，用于通过利用从反馈单元输出的基带信号和已经延迟了预定时间的数字输入信号来控制数字输入信号的预失真。

为至少全部或部分实现这些优点，进一步提供了一种预失真数字线性化电路，其包括：增益控制电路，用于根据增益控制信号控制数字输入信号的电平；预失真器，用于在数字信号处理器的控制下失真其增益已经由增益控制电路控制的数字输入信号，以使其具有与 HPA 的非线性失真特性相反的特性；数字-模拟转换器，用于把从预失真器输出的数字信号转换为模拟信号；调制器，用于调制数字-模拟转换器

所输出的基带模拟信号；HPA，用于放大调制器输出信号的功率；解调器，用于解调从 HPA 输出的放大射频信号；模拟-数字转换器，用于把从解调器输出的模拟基带信号转换为数字信号；延迟单元，用于把数字输入信号延迟预定时间；数字信号处理器，用于通过利用模拟-数字转换器转换的数字输出信号来确定 HPA 的输出电平，并通过利用确定的输出电平、延迟单元延迟的信号和理想的输出电平来自适应地控制数字输入信号的增益控制和预失真。

为至少全部或部分实现这些优点，进一步提供了一种预失真数字线性化电路的增益控制方法，其包括以下步骤：利用反馈的数字输出信号确定高功率放大器的输出电平；利用确定的输出电平、理想的输出电平和延迟了预定时间的数字输入信号的电平计算用于增益控制的增益控制信号；用增益控制信号乘以当前数字输入信号并控制数字输入信号的电平；在相乘结果值中保留一符号位，将剩余的较低位作为预定的位数以调整信号相乘前后的数位（digit）。

本发明的其他优点、目的和特征将部分地在以下说明中提出，部分地可以由本领域技术人员在审看了以下说明后理解或者可以通过本发明的实践获得。本发明的目的和优点可以通过所附权利要求中特别指出的方式实现和获得。

附图说明

下面将参考附图对本发明进行详细说明，在附图中相同标号表示相同单元，其中：

图 1 是根据现有技术的预失真模拟线性化电路的结构图；

图 2 是根据本发明第一实施例的预失真数字线性化电路的结构图；

图 3 是根据本发明第一实施例的图 2 所示的预失真器的内部结构图；

图 4 是根据本发明第一实施例的预失真数字线性化电路的输入、

输出特性曲线和补偿曲线图；

图 5 是根据本发明第二实施例的预失真数字线性化电路图；

图 6 是根据本发明第二实施例的图 5 所示的增益控制电路和预失真器的内部结构图；

5 图 7 是根据本发明优选实施例用于控制预失真数字线性化电路的数字输入信号增益的方法的流程图。

优选实施例的详细说明

10 图 2 是根据本发明第一实施例的预失真数字线性化电路的结构图。

如图 2 所示，本发明的预失真数字线性化电路包括：预失真器 10，用于失真数字输入信号以使数字输入信号具有与高功率放大器（HPA）30 的非线性失真特性相反的特性；上变频器 20，用于将预失真器 10 的输出信号上变频为射频（RF）信号；HPA 30，用于放大从
15 上变频器 20 输出的射频信号的功率；反馈单元 40，用于反馈从 HPA 30 输出的信号并下变频该信号；和自适应处理单元 50，用于通过利用从反馈单元 40 输出的基带信号和延迟了预定时间的数字输入信号来控制数字输入信号的预失真。

20 预失真数字线性化电路包括：本振器 25，用于为上变频器 20 和反馈单元 40 提供进行调制和解调所需的本振频率；定向耦合器 32，用于以某个比率分离 HPA 30 的输出；终接器 34，用于终接传输线，使得已经经过定向耦合器 32 的 HPA 30 的输出信号可以不被反射。终接器 34 可能有 50 欧姆的阻抗分量。
25

上变频器 20 包括：数字-模拟转换器（DAC）21a 和 21b，用于将预失真器 10 输出的数字信号转换为模拟信号；调制器 22，用于利用本振器 25 输出的本振频率调制从数字-模拟转换器 21a 和 21b 输出的基带信号。
30

反馈单元 40 包括：解调器 41，用于利用本振器 25 输出的本振频率来解调分离器 32 输出的射频信号；和模拟-数字转换器 (ADC) 42a 和 42b，用于将从解调器 41 输出的模拟基带信号转换为数字信号。

5

自适应处理单元 50 包括：延迟单元 51，用于把数字输入信号延迟预定时间，和数字信号处理器 (DSP) 52，用于利用延迟单元 51 所延迟的信号和模拟-数字转换器 42a 和 42b 输出的信号来控制预失真器 10。

10

如图 3 所示，预失真器 10 包括：功率测算单元 110，用于测量输入信号的幅值；功函数生成器 (work function generator) 120，用于产生预失真功函数以依据输入信号的幅值来确定输入信号的失真大小；复合耦合器 (complex coupler) 130，用于复合耦合功函数生成器 120 所生成的预失真功函数和输入信号并预失真输入信号。

15

功率测算单元 110 包括：第一平方单元 111，用于对第一相位数字输入信号 (信号 I) 进行平方并输出平方值；第二平方单元 112，用于对第二相位数字输入信号 (信号 Q) 进行平方并输出平方值；加法器 113，用于对第一平方单元 111 和第二平方单元 112 的每个输出相加并得到整个数字输入信号的幅值。

20

功函数生成器 120 包括：第一平方单元 121，用于对加法器 113 的输出进行平方并输出平方值；第一系数乘法器 122，用于接收用来失真来自数字信号处理器 52 的第一相位数字输入信号 (信号 I) 的预失真功函数的二次项系数 (a_1)，并将第一平方单元 121 的输出与二次项系数 (a_1) 相乘；第二系数乘法器 123，用于接收用来失真来自数字信号处理器 52 的第一相位数字输入信号 (信号 I) 的预失真功函数的一次项系数 (b_1)，并将加法器 113 的输出与一次项系数 (b_1) 相乘；第一加法器 124，用于接收用来失真来自数字信号处理器 52 的第

25

30

一相位数字输入信号（信号 I）的预失真功函数的常数项系数（ c_1 ），
 并将第一系数乘法器 122 的输出与第二系数乘法器 123 的输出和常数
 项系数（ c_1 ）相加，并输出第一相位数字输入信号（信号 I）的预失真
 功函数；第二平方单元 125，用于对加法器 113 的输出进行平方并输
 出平方值；第三系数乘法器 126，用于接收用来失真来自数字信号处
 理器 52 的第二相位数字输入信号（信号 Q）的预失真功函数的二次
 项系数（ a_Q ），并将第二平方单元 125 的输出与二次项系数（ a_Q ）相
 乘；第四系数乘法器 127，用于接收用来失真来自数字信号处理器 52
 的第二相位数字输入信号（信号 Q）的预失真功函数的一次项系数
 （ b_Q ），并将加法器 113 的输出与一次项系数（ b_Q ）相乘；和第二加
 法器 128，用于接收用来失真来自数字信号处理器 52 的第二相位数字
 输入信号（信号 Q）的预失真功函数的常数项系数（ c_Q ），并将第三
 系数乘法器 126 的输出与第四系数乘法器 127 的输出和常数项系数
 （ c_Q ）相加，并输出第二相位数字输入信号（信号 Q）的预失真功函
 数。

第一相位数字输入信号的预失真功函数和第二相位数字输入信号
 的预失真功函数的每个项的系数由数字信号处理器 52 来更新。

复合耦合器 130 包括：第一乘法器 131，用于将第一相位数字输
 入信号（信号 I）与第一加法器 124 的输出相乘；第二乘法器 132，用
 于将第一加法器 124 的输出与第二相位数字输入信号（信号 Q）相乘；
 第三乘法器 133，用于将第二相位数字输入信号（信号 Q）与第二加
 法器 128 的输出相乘；第四乘法器 134，用于将第一相位数字输入信
 号（信号 I）与第二加法器 128 的输出相乘；减法器 135，用于将第一
 乘法器 131 的输出与第三乘法器 133 的输出相减，并失真第一相位数
 字输入信号；加法器 136，用于将第二乘法器 132 的输出与第四乘法
 器 134 的输出相加，并失真第二相位数字输入信号。

发射机，即如上所述构造的数字线性化电路，失真数字输入信号

以使其具有与 HPA 30 的非线性失真特性相反的特性，并将此信号发送到 HPA 30，以改善 HPA 30 的线性化。

5 预失真器 10 被实施为现场可编程门阵列 (FPGA) 从而以受温度和噪声影响最少的数字形式来处理信号。

10 当用数学建模时，HPA 30 的非线性现象可以由包含一次分量和二次分量 (数字输入信号之功率的分量) 的多项式来表示。同样，改善非线性特性的预失真器也可以表示为包含一次分量和二次分量的数字模型。

换言之，根据数字输入信号的幅值，确定数字输入信号失真大小的预失真功函数公式被系统开发人员预先制成一个二次多项式，接着，用于生成该二次多项式的电路被实施为数字形式的电路。

15 在预失真器 10 中安装如此实施的数字形式的预失真功函数生成电路。相应地，预失真器 10 接收数字输入信号的幅值，将其作为数字电路的输入以生成二次多项式，并通过复合耦合器 130 来失真数字输入信号 (第一相位数字输入信号 (信号 I) 和第二相位数字输入信号 (信号 Q)) 的幅值。

现在将说明根据本发明的第一实施例如上述构造的预失真数字线性化电路的操作。

25 预失真器 10 将数字输入信号分离成两路，将数字输入信号通过一条路径传送，并通过确定另一条路径的数字输入信号的幅值 (即，功率) 来根据功率生成功函数。

30 接着，预失真器 10 复合耦合两个路径的信号，生成与 HPA 30 的非线性特性相反失真的输入信号，并将其通过上变频器 20 输出到

下面将详细讲述预失真器 10 的操作。

5 在功率测算单元 110 中，第一平方单元 111 将第一相位数字输入信号（信号 I）平方以得到平方值，第二平方单元 112 将第二相位数字输入信号（信号 Q）平方以得到平方值，然后，加法器 113 将两个平方值相加并输出数字输入信号的幅值。

10 假定相加两个平方值所得到的值，即功率测算单元 110 的加法器 113 的输出值（ I_2+Q_2 ）是 'X'。

15 功函数生成器 120 通过利用数字信号处理器 52 根据功率测算单元 110 测算的功率 'X' 而提供的预失真功函数的各次项系数生成预失真功函数。

 即，功函数生成器 120 的第一加法器 124 为信号 I 生成如下方程式（1）所示的预失真功函数，第二加法器 128 为信号 Q 生成如下方程式（2）所示的预失真功函数。

20

 在方程式（1）中， a_I 是信号 I 的预失真功函数的二次项系数， b_I 是信号 I 的预失真功函数的一次项系数， c_I 是信号 I 的预失真功函数的常数项。

25

 在方程式（2）中， a_Q 是信号 Q 的预失真功函数的二次项系数， b_Q 是信号 Q 的预失真功函数的一次项系数， c_Q 是信号 Q 的预失真功函数的常数项。

$$a_I X^2 + b_I X + c_I \text{-----} (1)$$

30

$$a_Q X^2 + b_Q X + c_Q \text{-----} (2)$$

复合耦合器 130 将功函数生成器 120 输出的信号 I 的预失真功函数、信号 Q 的预失真功函数、原始信号 I 和信号 Q 进行耦合，以失真原始信号 I 和信号 Q。

5

即，第一乘法器 131 将信号 I 和信号 I 的预失真功函数相乘，第二乘法器 132 将信号 I 的预失真功函数和信号 Q 相乘，第三乘法器 133 将信号 Q 和信号 Q 的预失真功函数相乘，第四乘法器 134 将信号 I 和信号 Q 的预失真功函数相乘。

10

减法器 135 将第一乘法器 131 的输出和第三乘法器 133 的输出相减，以与 HPA 30 的非线性特性相反的方向失真信号 I，加法器 136 相加第二乘法器 132 和第四乘法器 134 的输出，以与 HPA 30 的非线性特性相反的方向失真信号 Q。

15

在预失真器 10 中以与 HPA 30 的非线性特性相反的方向预失真的数字输入信号 I' 和 Q' 被转换为模拟信号，由调制器 22 调制，并输入到 HPA 30 中。

20

HPA 30 放大所施加的射频信号的功率，这时经过功率放大的信号具有线性特性而没有非线性特性。

25

定向耦合器 32 以某个比率将 HPA 30 的输出分离。反馈单元 40 的解调器 41 解调定向耦合器 32 分离的线性化射频信号。模拟-数字转换器 42a 和 42b 将从解调器 41 中输出的模拟基带信号转换为数字信号并将其提供给自适应处理单元 50。

30

自适应处理单元 50 利用已经通过反馈单元 40 反馈回的 HPA 30 的输出信号和已经延迟了预定时间的数字输入信号来控制预失真器 10。

即，延迟单元 410 把数字线性化电路的数字输入信号（信号 I 和信号 Q）延迟预定时间。数字信号处理器 420 比较延迟单元 410 的输出信号和模拟-数字转换器 42a 和 42b 输出的信号，并更新预失真函数的各个系数以使得误差变小，并将它们提供给预失真器 10。

如图 4 所示，当预失真器 10 预失真的信号 P1 在自适应处理单元 50 的控制下被输入到 HPA 30 中时，HPA 30 用非线性特性 P2 放大该输入信号，使得最终得到其非线性有所改善的线性化输出 P3。

至于根据本发明的第一实施例的预失真数字线性化电路，预失真器被构造成数字电路（即，现场可编程门阵列（FPGA））来直接在数字域中处理数字线性化电路的输入信号，这样温度或噪声的影响可以被减至最小，预失真的精度可以得到提高。

另外，当预失真器和自适应处理单元收到数字信号时，它们在数字域中处理信号，使得设计容易，信号能被精确地操纵。

同时，发射机，即如 IMT-2000 等移动通信系统所要求的数字线性化电路，的输出电平有一定范围。如果数字线性化电路的输出电平超出要求的范围，数字线性化电路的输出电平应被调整。

下面将描述根据本发明的第二实施例通过控制输入信号的数字增益控制数字线性化电路的输出电平的装置及其方法。

图 5 是显示根据本发明的第二实施例的预失真数字线性化电路的示图。

如图 5 所示，根据本发明的第二实施例的预失真数字线性化电路包括：增益控制预失真单元 300，用于控制数字输入信号的电平，并

失真经过电平控制的数字输入信号以使其具有与 HPA 30 的非线性失真特性相反的特性；上变频器 20，用于将增益控制预失真单元 300 的输出信号上变频为射频（RF）信号；HPA 30，用于放大上变频器 20 输出的射频信号的功率；反馈单元 40，用于反馈 HPA 30 输出的信号并将其下变频；和自适应处理单元 400，用于自适应控制 HPA 30 的输入信号的增益控制和预失真。

根据本发明第二实施例的预失真数字线性化电路如第一实施例一样还包括：本振器 25，定向耦合器 32 和终接器 34。

增益控制预失真单元 300 包括：增益控制电路 200，用于利用自适应处理单元 400 所输出的增益控制信号来控制数字输入信号的电平；预失真器 100，用于失真已经由增益控制电路 200 进行增益控制的数字输入信号以使其具有与 HPA 30 的非线性失真特性相反的特性。

预失真器 100 与第一实施例中的预失真器 10 结构相同。

如图 6 所示，增益控制电路 200 包括：第一乘法器 210，将第一相位数字输入信号（信号 I）与增益控制信号相乘以控制第一相位数字输入信号的电平；第一取整单元 220，用于从第一乘法器 210 的数字输出信号取预定数目的位，并调整输入和输出数位；第二乘法器 220，用于将第二相位数字输入信号（信号 Q）与增益控制信号相乘，并控制第二相位数字输入信号的电平；第二取整单元 240，用于从第二乘法器 220 的数字输出信号取预定数目的位，并调整输入和输出数位。

增益控制信号控制预失真前的原始数字输入信号的电平，并且是根据延迟数字输入信号的电平，利用反馈回的数字输出信号和 HPA 的理想输出电平所估计的 HPA 输出电平来设置的。因此，增益控制

信号控制数字输入信号的电平以得到理想的 HPA 输出电平。

5 自适应处理单元 400 包括：延迟单元 410，用于将数字线性化电路的数字输入信号延迟预定时间；数字信号处理器（DSP）420，利用模拟-数字转换器 42a 和 42b 所转换的数字输出信号确定 HPA 30 的输出电平，并利用确定的输出电平、延迟单元 410 延迟的信号和理想的输出电平自适应地控制数字输入信号的增益控制和预失真。

10 相应地，如图 5 所示，提供给增益控制电路 200 的增益控制信号可以由数字信号处理器 420 产生或由外部源提供。

上变频器 20 和反馈单元 40 和第一实施例中的上变频器 20 和反馈单元 40 的结构相同，其说明在此省略。

15 现在将说明根据本发明的第二实施例如上述所构造的预失真数字线性化电路的操作。

20 如果数字线性化电路的输出电平未达到要求的范围，把一个用于提高数字线性化电路的输出电平的增益控制信号提供给增益控制电路 200。或者，如果数字线性化电路的输出电平超过要求的范围，把一个用于降低数字线性化电路的输出电平的增益控制信号提供给增益控制电路 200。

25 实质上，通过将最大的数字信号视为“1”来执行线性化算法。因此，鉴于 14 位信号的最高位被视为“1”，对提高数字输入信号的电平有一定限制。

相应地，预失真器被设计成，预失真功函数的每次项系数的位数为 20 位，使得输入信号的电平可以被精确地调整。

如图 4 所示, 如果预失真数字线性化电路, 即发射机, 的输出电平比理想的电平低, 应该把电平得以增加了的输入信号提供给发射机, 以便发射机的输出电平可以达到理想的电平。

5 现在将说明一种用于控制预失真数字线性化电路的数字输入信号的增益的方法。

图 7 是根据本发明的优选实施例控制预失真数字线性化电路的数字输入信号的增益的方法的流程图。

10 反馈单元 40 反馈 HPA 30 的模拟输出信号, 将其转换成数字输出信号, 并将其输出给自适应处理单元 400 的 DSP 420。延迟单元 410 把数字线性化电路的数字输入信号 (I、Q) 延迟预定时间。

15 DSP 420 处理反馈单元 400 输出的数字输出信号, 确定 HPA 的输出电平 (步骤 S10)。

20 DSP 420 在如图 4 所示的输入和输出特性曲线的基础上, 通过利用延迟单元 410 延迟的数字输入信号的电平、确定的输出电平和理想的输出电平, 计算用于增益控制的增益控制信号 (步骤 S11)。

 如果 HPA 的输出电平低于理想的电平值, DSP 420 生成一个用于提高数字输入信号电平的增益控制信号。(这里, 增益控制信号由 DSP 420 生成, 它也可能从外部源提供)。

25 增益控制电路 200 将增益控制信号与数字输入信号 (信号 I 和信号 Q) 相乘。第一乘法器 210 将增益控制信号与信号 I 相乘, 第二乘法器 230 将增益控制信号与信号 Q 相乘, 从而控制增益 (步骤 S12)。

30 这是, 第一乘法器 210 和第二乘法器 230 的每个输出值的位数变

得与相乘前的位数不同了。

因此，第一取整单元 220 和第二取整单元 240 在第一乘法器 210 和第二乘法器 230 的每个输出值中保留一符号位，并从剩余的较低位中取合适的位数以调整数位和同步。（步骤 S13）。

由增益控制电路 200 进行电平调整后的信号 I 和信号 Q 被输入到预失真器 100 中。接着，预失真器 100 测算电平调整后的信号 I 和信号 Q 的功率，并根据测算功率，利用数字信号处理器 420 提供的预失真功函数的各次项系数，生成信号 I 和信号 Q 的预失真功函数。

接着，预失真器 100 复合耦合电平调整后的信号 I 和信号 Q 和预失真功函数，失真信号 I 和信号 Q 以使其具有与 HPA 30 的非线性失真特性相反的特性。

电平得到控制之后，预失真的数字输入信号通过上变频器 20 被输入到 HPA 30 中，以下的操作以第一实施例中所所述的相同的方式执行，故在此省略其说明。

相应地，鉴于数字线性化电路的数字输入信号的电平通过利用增益控制信号来控制，而且电平调整后的数字输入信号被预失真，使得改进了 HPA 的非线性特性的数字线性化电路的输出电平可以用预失真方法来控制。

如至此所说明的，预失真数字线性化电路及其增益控制方法有许多优点。

比如，第一，因为数字线性化电路的输入信号直接在数字域中被预失真，预失真的精度可得到加强。

第二，数字输入信号的电平由增益控制信号来控制然后被预失

真，使得预失真数字线性化电路的输出电平可被控制到一个理想的电平。

第三，当增益控制电路，预失真器和自适应处理单元收到数字信号时，其在数字域中执行信号处理，使得温度或噪声的影响可被最小化，该设计简单，且信号可被精确地操纵。

上述实施例和优点仅是示例性的，并不应被认为是对本发明的限制。本发明的教导可以容易地应用于其他类型的装置。本发明的描述用于说明目的，不限制权利要求的范围。本领域技术人员可以进行很多替换、改进和变型。在权利要求中，装置加功能的语句意欲涵盖此处描述的执行所述功能的结构，不仅包括结构上的等同物，也包括等同物的结构。

图1
现有技术

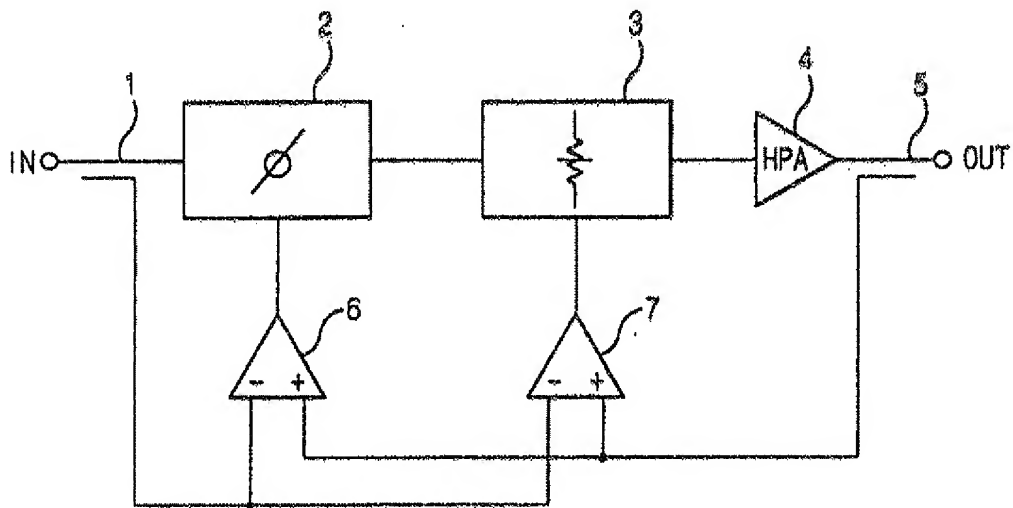


图2

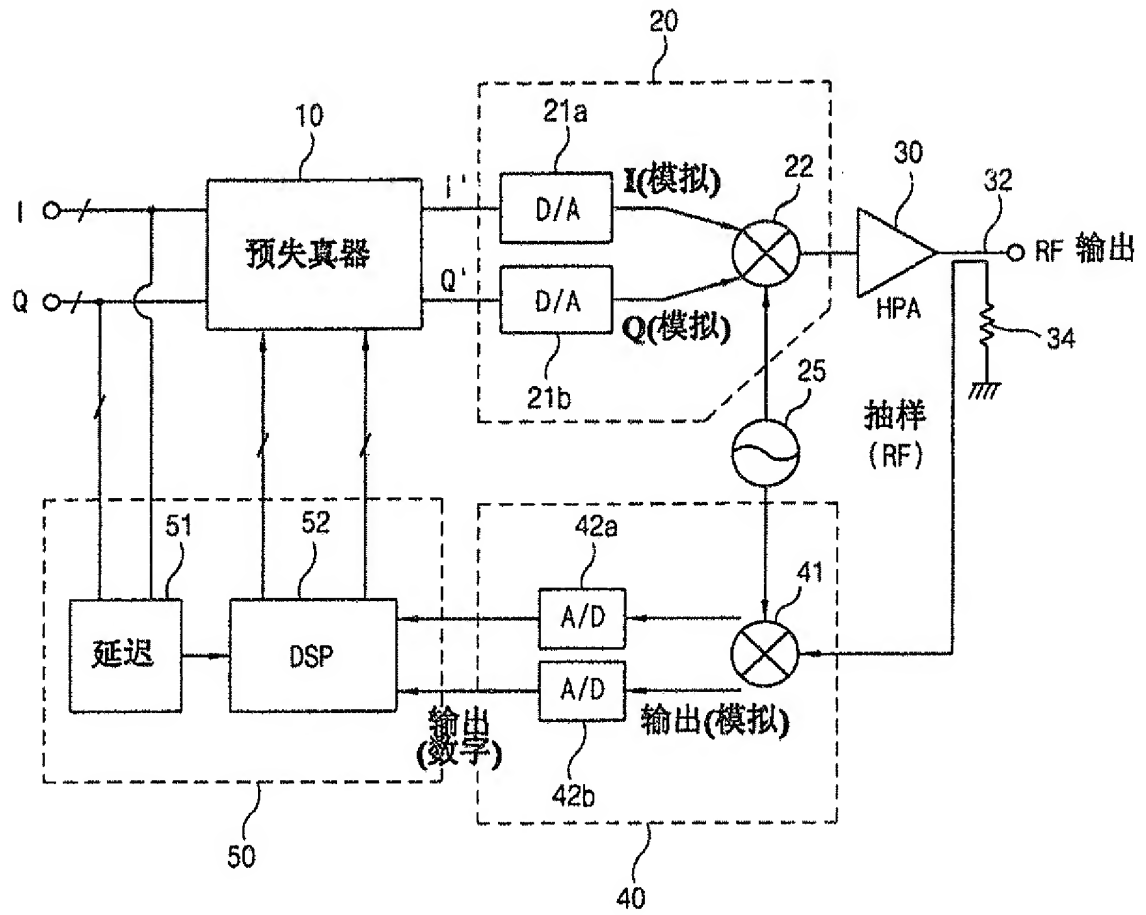


图3

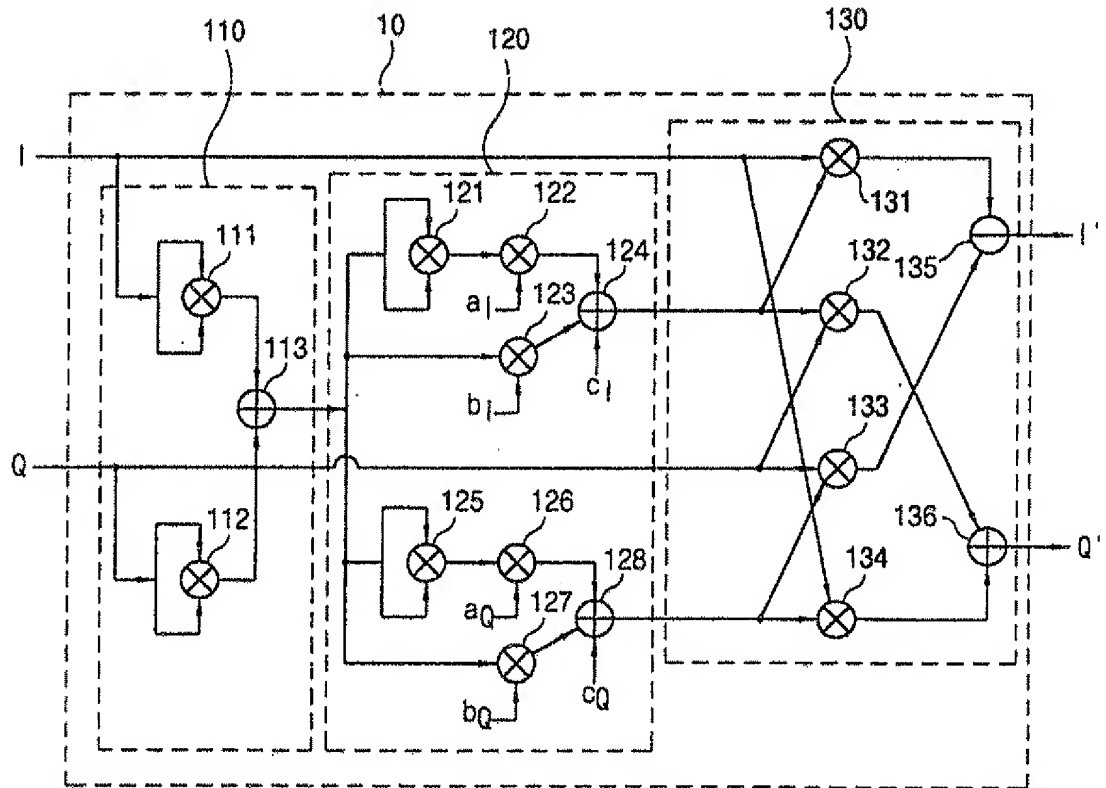
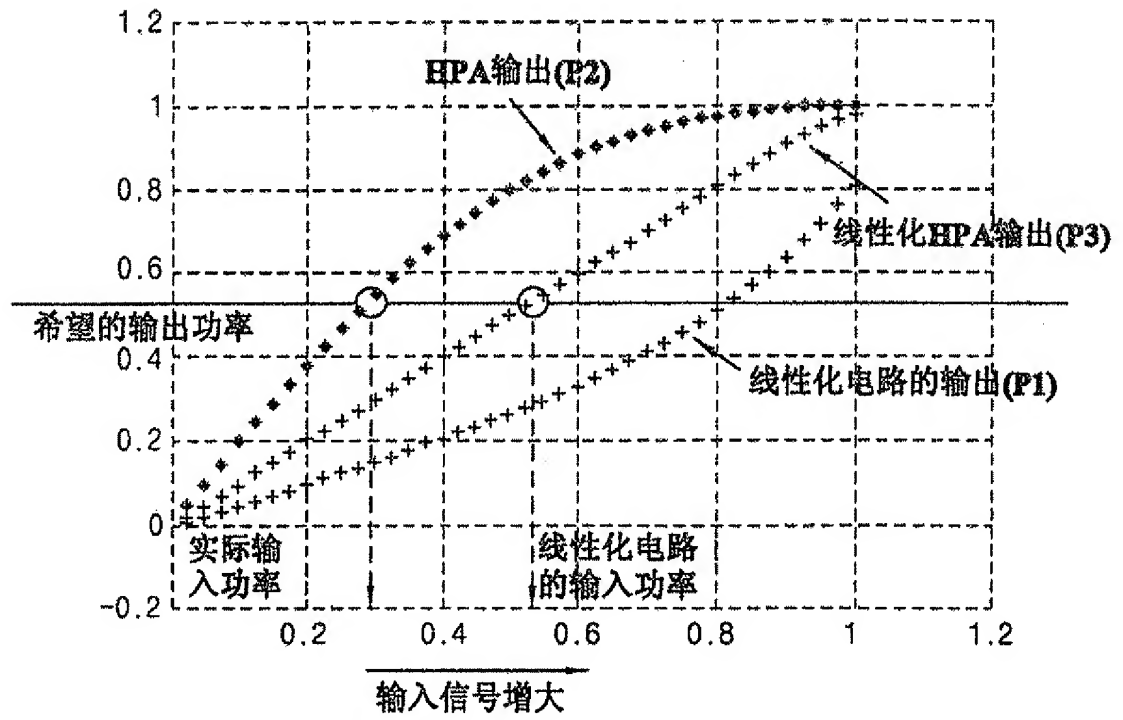


图4



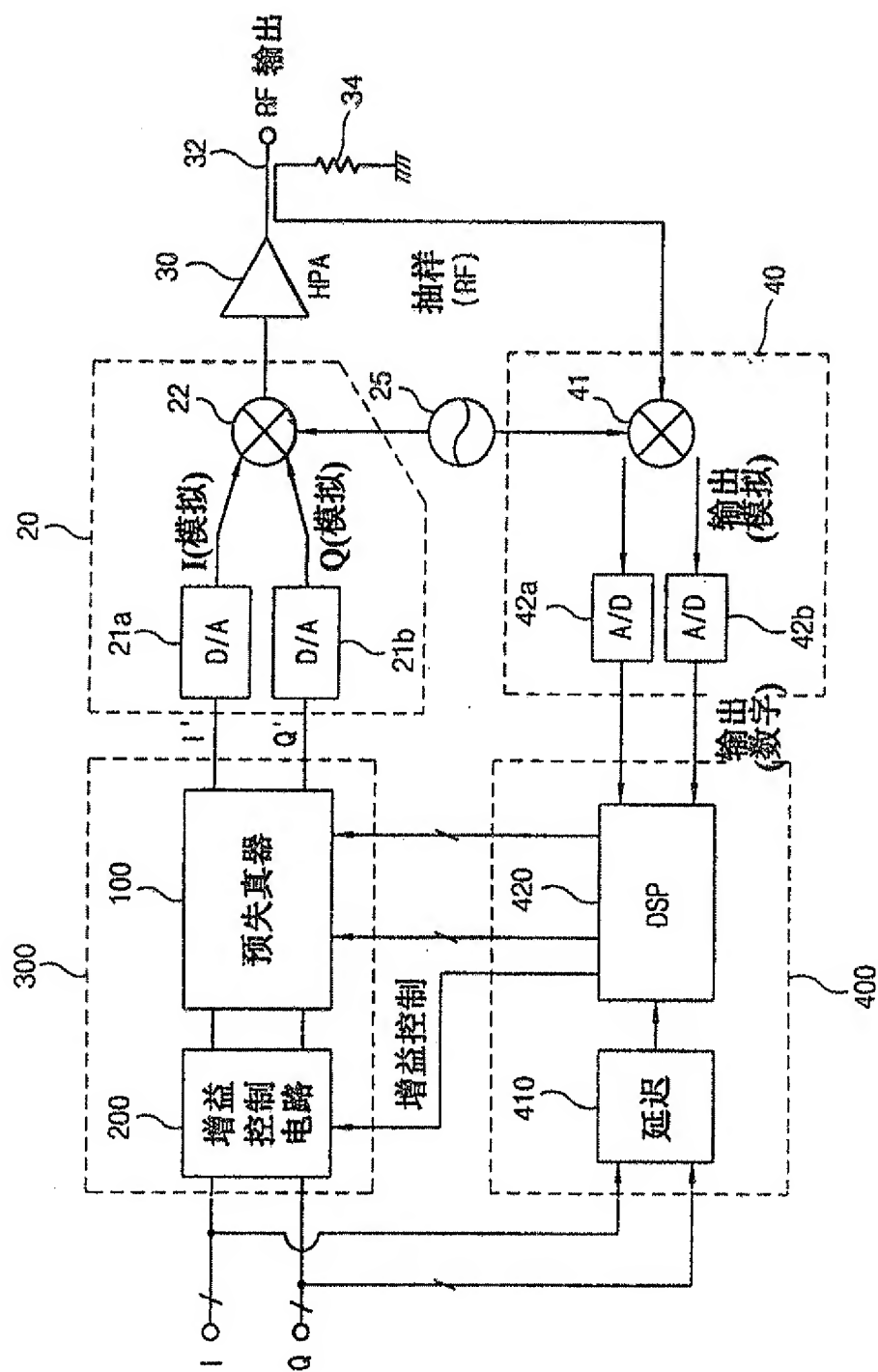


图5

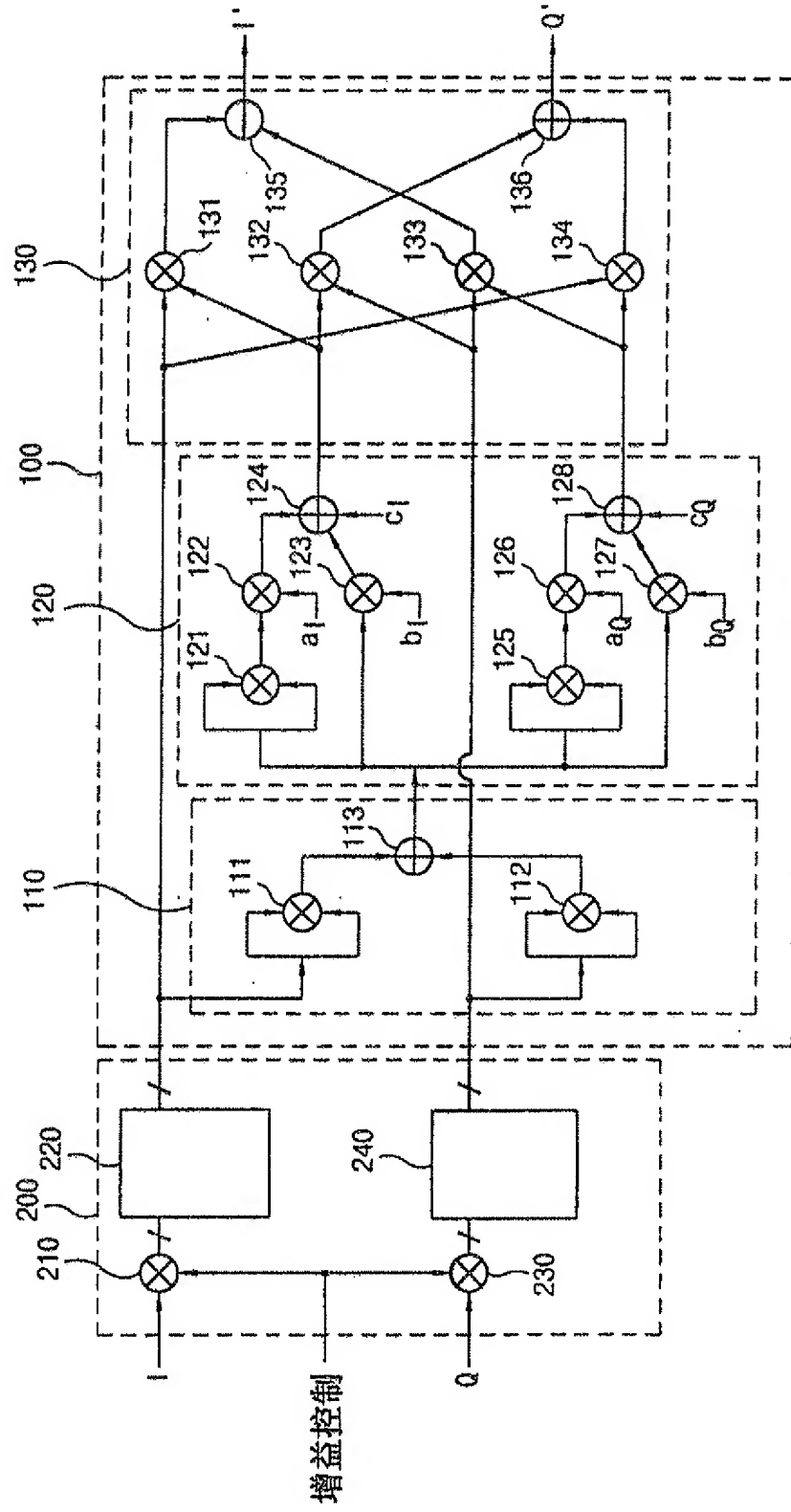


图6

图7

